

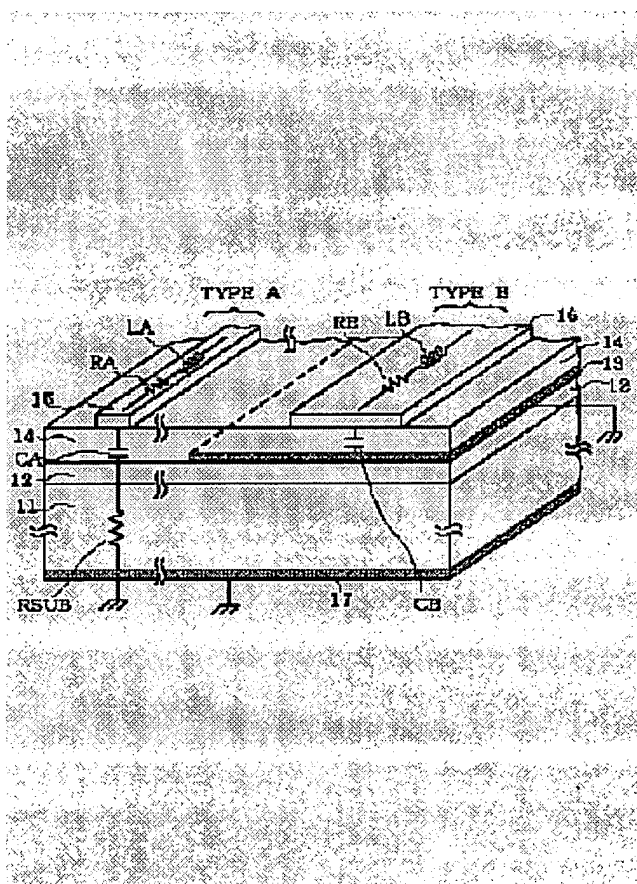
SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP2000269429
Publication date: 2000-09-29
Inventor: YANO HITOSHI
Applicant: NIPPON ELECTRIC CO
Classification:
- international: **H01L21/768; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01P3/08; H01L21/70; H01L27/04; H01L27/06; H01P3/08; (IPC1-7): H01L27/04; H01L21/768; H01L21/822; H01L21/8234; H01L27/06**
- european:
Application number: JP19990073037 19990318
Priority number(s): JP19990073037 19990318

Report a data error here

Abstract of JP2000269429

PROBLEM TO BE SOLVED: To form a matching circuit of high Q value on Si substrate and to provide an MMIC(monolithic microwave integrated circuit) in a frequency band which is equal to or higher than 2 GHz on the Si substrate. **SOLUTION:** A second conductive layer 13 of a ground potential is formed via a first interlayer insulating film 12 on a semiconductor substrate 11 of low resistance, such as the Si substrate and first and second conductive patterns 15 and 16 are formed via a thick (4.7 μm , for instance) second interlayer insulating film 14 on it. A conductive layer 17 of ground potential is formed on a substrate back surface. The first conductive pattern 15 functions as a transmission line with the conductive layer 17 as a ground layer and becomes the inductor of a high Q value, and the second conductive pattern 16 functions as the transmission line with the conductive layer 13 as the ground layer and becomes the capacitor of a high Q value. By combining the two transmission lines, the matching circuit of high quality is formed.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-269429

(P2000-269429A)

(43)公開日 平成12年9月29日(2000.9.29)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード(参考)
H 0 1 L	27/04	H 0 1 L	27/04
	21/822		21/90
	21/768		
	21/8234	27/06	1 0 2 A
	27/06		

審査請求 有 請求項の数13 O L (全 11 頁)

(21)出願番号 特願平11-73037

(22)出願日 平成11年3月18日(1999.3.18)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 矢野 仁之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096253

弁理士 尾身 祐助

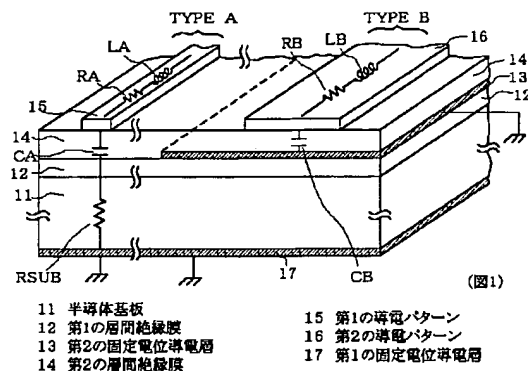
最終頁に続く

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 Si基板上に高いQ値の整合回路を形成するようにして、Si基板上に2GHz以上の周波数帯におけるMMICを実現できるようにする。

【解決手段】 Si基板等の低抵抗の半導体基板11上に第1の層間絶縁膜12を介してグラウンド電位の第2の導電層13を形成し、その上に厚い(例えば4.7μm)第2の層間絶縁膜14を介して第1、第2の導電パターン15、16を形成する。基板裏面にグラウンド電位の導電層17を形成する。第1の導電パターン15は導電層17をグラウンド層として伝送線路として機能し、高いQ値のインダクタとなり、第2の導電パターン16は導電層13をグラウンド層として伝送線路として機能し、高いQ値のキャパシタとなる。この2つの伝送線路を組み合わせることにより、高品質の整合回路を形成することができる。



【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板の下面に形成されたその電位が第1の固定電位に固定された第1の導電層と、前記半導体基板上を覆う第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、前記第2の層間絶縁膜上に形成された第1種の導電パターンと、を備え、前記第1種の導電パターンが前記第1の導電層と協働して第1種の伝送線路として機能しこの第1種の伝送線路が整合回路の要素として用いられていることを特徴とする半導体集積回路。

【請求項2】 半導体基板と、前記半導体基板の下面に形成されたその電位が第1の固定電位に固定された第1の導電層と、前記半導体基板上を覆う第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成されたその電位が第2の固定電位に固定された第2の導電層と、前記第1の層間絶縁膜および前記第2の導電層上に形成された第2の層間絶縁膜と、前記第2の層間絶縁膜上であって前記第2の導電層が形成されていない領域上に形成された第1種の導電パターンと、前記第2の層間絶縁膜上であって前記第2の導電層が形成された領域上に形成された第2種の導電パターンと、を備え、前記第1および第2の導電パターンがそれぞれ前記第1、第2の導電層と協働して第1種、第2種の伝送線路として機能し、前記第1種、第2種の伝送線路がそれぞれ整合回路の要素として用いられていることを特徴とする半導体集積回路。

【請求項3】 前記第1の固定電位と前記第2の固定電位とがグラウンド電位（接地電位）であることを特徴とする請求項1または2記載の半導体集積回路。

【請求項4】 前記半導体基板は、抵抗率が100オームセンチメートル以下の低抵抗の基板であることを特徴とする請求項1または2記載の半導体集積回路。

【請求項5】 前記第1種の伝送線路がインダクティブ素子として機能し、前記第2種の伝送線路がキャパシティブ素子として機能することを特徴とする請求項1または2記載の半導体集積回路。

【請求項6】 前記第1種の導電パターン、または、前記第1種の導電パターンおよび前記第2種の導電パターンがスパイラル状に形成されていることを特徴とする請求項1または2記載の半導体集積回路。

【請求項7】 前記第1の層間絶縁膜が無機絶縁膜であり、前記第2の層間絶縁膜が有機絶縁膜または無機絶縁膜と有機絶縁膜との複合膜であることを特徴とする請求項1または2記載の半導体集積回路。

【請求項8】 前記半導体基板の表面領域には、回路素子が形成されており少なくともその一部の回路素子は前記第1種の伝送線路または前記第1種の伝送線路および前記第2種の伝送線路によって回路間の整合が図られていることを特徴とする請求項1または2記載の半導体集積回路。

【請求項9】 前記回路素子が、電界効果トランジス

タ、および／または、バイポーラトランジスタであることを特徴とする請求項8記載の半導体集積回路。

【請求項10】 前記第1の層間絶縁膜内に前記回路素子に接続される配線層が形成されていることを特徴とする請求項8記載の半導体集積回路。

【請求項11】 前記半導体基板上には、他の半導体基板の表面領域に回路素子が作り込まれてなる半導体装置が搭載され、該半導体装置の回路素子が前記第1種の伝送線路または前記第1種の伝送線路および前記第2種の伝送線路によって回路間の整合が図られていることを特徴とする請求項1または2記載の半導体集積回路。

【請求項12】 前記半導体装置が、フリップチップ形態の半導体装置であることを特徴とする請求項11記載の半導体集積回路。

【請求項13】 前記伝送線路の形成された半導体基板の表面領域内にはデジタル回路が形成され、アナログ／デジタル複合回路が構成されていることを特徴とする請求項8または11記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、整合回路を有する半導体集積回路に関し、特に、2GHz以上の周波数の信号を増幅、周波数変換するRF回路を備えた半導体集積回路に関するものである。

【0002】

【従来の技術】近年、情報のマルチメディア化が進む中で、無線通信では周波数が高周波化進められるとともに取り扱うデータのデータレートも高速化している。一方で、高速道路におけるノンストップ自動料金収受システムが開発されるなど無線システムの多様化、高度化が進められており、無線システムで用いられる周波数は今後一層高くなるものと予想されている。例えば、これまで移動体電話として2GHz程度の周波数まで使われてきたが、今後は需要の増加とともにより高い周波数が開放されるようになる。これまでの移動体通信システムにおいても半導体RF ICは必要な重要なコンポーネントであったが、新しい無線システムにおいては、より高性能の半導体RF ICの提供が必要となる。

【0003】2GHz帯を超える周波数領域での無線システムのキー半導体RF ICとしてはGaAs半導体を用いたICがこれまで研究開発され実用化されてきた。これは、この材料がシリコン半導体と比べて材料的に高周波デバイスを作ることが容易であったことによる。しかし、最近の微細加工技術の進歩によりシリコン半導体を用いたゲート長がサブミクロン以下に小さくなったMOSFETの性能が非常に高くなり、2GHzを超える周波数においても適用が可能になっている。シリコン半導体とGaAs半導体とを比較すると、シリコン半導体は大きな市場であるデジタルICの市場に使われてきた経緯からデバイス製造技術が成熟しておりかつデバイスを低コストで提供するこ

とが可能である。また、デジタル ICとRF ICとの融合が比較的容易でありこれらをワンチップ化することにより、さらに小型化、低コスト化が可能である。

【0004】しかし、2GHz以上のRF回路を実現するには、デバイスの性能に加えて性能を発揮させるパッシブな整合回路の実現が必要である。図15(a)、(b)に、MOSFETを用いた抵抗負荷型増幅器と入出力整合型増幅器の回路例を示す。図15において、Inは入力端子、Outは出力端子、QはMOSFET、Rは負荷抵抗、Lは高周波分離用のコイル、MC(1)は入力側整合回路、MC(2)は出力側整合回路である。図16は、この回路を用いたときの利得の周波数依存性を示すグラフである。図16のグラフにおいて、MSG(Maximum Stable Gain)はデバイスのもつ最大安定利得と呼ばれ発振しない状態で最大可能な利得を、MAG(Maximum Available Gain)は最大有能電力と呼ばれるもので、両方ともデバイスの利用可能な最大の利得を表している。

【0005】同図に示されるように、図15(a)の抵抗負荷型増幅器の利得-周波数特性はMSGのラインよりはるかに低くかつ低い周波数で利得が0dBとなってしまう。これは、デバイスのもつ相互インダクタンスと負荷抵抗で決まる利得と、デバイスが寄生的にもつ対グラウンド(基板)容量 C_0 で与えられる利得の周波数特性は、 C_0 積一定の法則に律束され高い周波数を増幅するには利得を下げて設計しなければならないことによる。またシリコン半導体の場合、抵抗率が小さいためシリコンデバイスが寄生的にもつ対グラウンド(基板)容量 C_0 が半絶縁性基板上に作られるデバイスと比べておおきくなり、低い周波数で利得が0dBとなってしまう。

【0006】これに対して図15(b)に示す入出力整合型増幅器では、整合回路のもつ特性により広帯域化は難しい代わりに目的の周波数のところでデバイスが寄生的にもつ対グラウンド(基板)容量をこみて電力の授受が最高率になるよう整合回路のパラメータをチューニングすることができ、図16に示すようにMSG、MAGのレベルまで利得を稼ぐことができる。以上より分かるようにRF回路では整合回路を用いることが必須となる。

【0007】2GHzまでは半導体デバイスのチップと別にチップインダクタやチップキャパシタなどのチップ部品を同一のボード上に実装することにより比較的容易に整合回路を実現することができる。実際移動体電話の大半はそうように構成されている。しかし、2GHzを超えるとQ値の高いチップインダクタ、チップキャパシタを得ることが難しいこと、および実装によって加わるボンディングワイヤーなどの寄生素子により設計どおりの性能が得にくいことなどの問題が出てくる。この解決策として整合回路を半導体基板上に半導体デバイスといっしょに作り込むいわゆるMMIC(Monolithic Microwave Integrated Circuit; モノリシックマイクロ波集積回路)が実用化しており、GaAs半導体で作られる多くのICはMMIC

となっている。GaAs半導体MMICの場合、基板が半絶縁性基板で抵抗率が高いためにGaAs基板は誘電体基板として働き比較的容易にQ値の高い整合回路を半導体表面上に作り込むことができる。

【0008】

【発明が解決しようとする課題】これに対してシリコン半導体上の整合回路の場合は基板抵抗率が小さいため半導体表面上に配置した整合回路と基板との電磁結合によりシリコン基板中に電流が流れこの電流による損失によってQ値が小さくなってしまふ。また、整合回路に寄生的に付加される大きな対グラウンド(基板)容量により所望の周波数特性が得られないという問題があり、2GHz以上の周波数帯におけるシリコンMMICの実現が非常に困難な状況にある。

【0009】したがって、本発明の目的は、低抵抗率の半導体基板、特に一般的なシリコン基板を用いたRF ICにおいて2GHz以上の周波数帯に適用可能なモノリシック整合回路を提供することである。

【0010】

【課題を解決するための手段】上記の目的を達成するため、本発明によれば、半導体基板と、前記半導体基板の下面に形成されたその電位が第1の固定電位に固定された第1の導電層と、前記半導体基板上を覆う第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、前記第2の層間絶縁膜上に形成された第1種の導電パターンと、を備え、前記第1種の導電パターンが前記第1の導電層と協働して第1種の伝送線路として機能しこの第1種の伝送線路が整合回路の要素として用いられていることを特徴とする半導体集積回路、が提供される。

【0011】また、上記の目的を達成するため、本発明によれば、半導体基板と、前記半導体基板の下面に形成されたその電位が第1の固定電位に固定された第1の導電層と、前記半導体基板上を覆う第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成されたその電位が第2の固定電位に固定された第2の導電層と、前記第1の層間絶縁膜および前記第2の導電層上に形成された第2の層間絶縁膜と、前記第2の層間絶縁膜上であって前記第2の導電層が形成されていない領域上に形成された第1種の導電パターンと、前記第2の層間絶縁膜上であって前記第2の導電層が形成された領域上に形成された第2種の導電パターンと、を備え、前記第1および第2の導電パターンがそれぞれ前記第1、第2の導電層と協働して第1種、第2種の伝送線路として機能し、前記第1種、第2種の伝送線路がそれぞれ整合回路の要素として用いられていることを特徴とする半導体集積回路、が提供される。

【0012】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は、本発明の実施の形

態を説明するための断面・斜視図である。図1において、11は半導体基板、12は第1の層間絶縁膜、13は第2の固定電位導電層、14は第2の層間絶縁膜、15は、基板裏面の固定電位導電層(17)により第1の伝送線路(TYPE A)となる第1の導電パターン、16は、第2の固定電位導電層13と結合して第2の伝送線路(TYPE B)となる第2の導電パターン、17は、基板電位を与える第1の固定電位導電層である。ここで、(TYPE A)と(TYPE B)の伝送線路は、後述するように、インダクティブまたはキャパシティブ素子として機能し、整合回路用素子として用いられる。第1、第2の導電パターン15、16はストライプ状ないしスパイラル状に形成される。半導体基板の材料としては、シリコン、ゲルマニウム、GaAs、InP等が用いられる。シリコン基板やゲルマニウム基板を用いる場合には、基板の抵抗率が100オームセンチメートル以下の低いものとなるが、本願発明は低抵抗率基板を用いた場合にも十分の効果を期待することができるものである。従って、高集積化が可能で成熟した製造技術を利用することができるシリコンを用いることが特に有利である。半導体基板11の表面領域内には、本発明に係る整合回路によって整合が図られるアクティブ素子が形成される。アクティブ素子としては、MOSFET、MESFET (HEMTを含む)、接合型FET、バイポーラトランジスタが用いられる。また、BiMOSやBiCMOSであってもよい。本発明に係る整合回路によって整合が図られるアクティブ素子の機能としては、増幅、周波数変換、ミキサ、発振などである。また、半導体基板11の他の表面領域内には、整合をとる必要のない半導体デバイスを形成することができる。それらの半導体デバイスとしては、メモリや論理回路などのデジタル回路を構成する素子であってもよい。また、本発明による整合回路が形成された半導体基板上に、別途製作された個別素子あるいは集積回路を搭載し、これらの個別素子や集積回路の回路に対する整合のために、本願発明に係る整合回路を使用することもできる。この場合、搭載される個別素子や集積回路はフリップチップ構造の半導体装置とすることが好ましい。

【0013】第1、第2の層間絶縁膜の材料としては、シリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜、PSG膜、BPSG膜などの無機絶縁膜やポリイミド膜、BCB (benzocyclobutene) 膜などの有機絶縁膜を用いることが出来る。特に、第2の層間絶縁膜は膜厚4.0μm以上(RF周波数によって異なる)と厚く形成する必要があることから、有機絶縁膜または無機絶縁膜と有機絶縁膜との複合膜とすることが望ましい。第2の層間絶縁膜を厚く形成する必要があるのは、(TYPE A)の伝送線路を形成する第1の導電パターン15の半導体基板との電気的および磁気的結合を弱くするために必要なことである。第1の層間絶縁膜内には、半導体素子に対

する接続を図るために1層ないし複数層の配線が形成される。また、(TYPE A)および(TYPE B)の伝送線路によって、整合が図られるアクティブ素子の各領域は、第1、第2の層間絶縁膜12、14に開孔されたコンタクトホール、ビアホールを介して第2の層間絶縁膜14上にまで引き上げられて、第1または第2の導電パターン15、16に接続される。導電層13、17および導電パターン15、16の材料としては、Al (Al合金を含む)、Au、Cuなどの金属、タングステンシリサイド、チタンシリサイド、コバルトシリサイドなどの高融点金属シリサイド、あるいはこれらのシリサイドを用いたポリサイドを用いることができる。導電層13、17に与えられる固定電位は、通常は接地電位(グラウンド)であるが、交流的に接地されていればよく、必ずしも接地電位に固定する必要はない。また、二つの導電層13、17の電位が同電位である必要もない。

【0014】次に、(TYPE A)および(TYPE B)の伝送線路の整合用素子としての機能について説明する。(TYPE A)の伝送線路は第1の固定電位導電層17をグラウンド層として第1の導電パターン15により構成され、(TYPE B)の伝送線路は第2の固定電位導電層13をグラウンド層として第1の導電パターン15により構成されている。ここで、(TYPE A)の伝送線路と(TYPE B)の伝送線路とは、図2(a)、(b)に示されるように、それぞれポート1とポート2の2つのポートを持つ伝送線路

(A)21、伝送線路(B)22と模式的に表わされるものとして以下説明する。両者の電気的な違いは、図1に模式的に記入したL,R,Cの等価回路に現れている。図のLA,RA,LB,RBは配線金属によるインダクタンス、抵抗を表している。また、RSUBは半導体基板を介してグラウンドに向かって基板を流れる電流に対する基板抵抗であり、CA,CBは配線容量を表す。

【0015】配線構造の伝送線路と考えた場合、RA=RBになる断面形状を選ぶと配線構造(TYPE A)の方がRSUBのため損失が大きくなる可能性がある。しかし、インダクタンスの大きさを比較すると(TYPE A)の伝送線路の方が有利である。図3は、第1の導電パターン15(TYPE A)と第2の導電パターン16(TYPE B)の配線幅とインダクタンスの関係を実際の構造を作って評価した結果である。同図は、横軸に配線幅を、縦軸に単位長当たりのインダクタンスをとり4GHzでの評価をプロットしたものである。同図に示されるように、(TYPE A)の伝送線路が有する単位長当たりのインダクタンス値の方が(TYPE B)のものより2倍以上大きい。これは、インダクタンス素子として伝送線路を選択するとき(TYPE A)の伝送線路の方が有利であることを意味する。なぜなら、同じ大きさのインダクタンス値を持つ両タイプの配線長は(TYPE A)の方が短く、配線のもつ総抵抗も短いために小さくなり、直列抵抗の小さいインダクタンス素子を提供できるからである。

【0016】次に、両タイプの伝送線路の周波数特性の測定結果について説明する。図1の構造にて、シリコン基板を用い、配線長を1mm、配線膜厚を3 μ mとし、配線幅が3 μ mと80 μ mの2種類について図2に示されるように2ポートの伝送線路を形成し、ポート2側をショート、オープンの際のポート1側から見た反射係数を周波数0.1GHzから40GHzまで測った。その結果をスミスチャートにて図4と図5に示す。ポート2側をショートした場合はインダクタンスの特性、ポート2側をオープンにした場合はキャパシタンスの特性を見ているといえる。

【0017】図4は、(TYPE A)の伝送線路の測定結果を示す。ポート2側ショートの結果で配線幅3 μ mと80 μ mを比較すると低周波では配線幅が80 μ mの方がスミスチャートの外側にあり直列抵抗性が小さいが、高い周波数になるとこれが逆転し配線幅3 μ mの方のロスが小さい。このように(TYPE A)の伝送線路では、特に高い周波数にてロスの少ないインダクタンス素子が実現できる。例えば、50オームのシステムにて入出力インピーダンスの整合を図る場合、これ以上の特性インピーダンスをもつハイインピーダンスのインダクティブ整合素子が必要となるが、本発明による(TYPE A)の伝送線路にてこれを実現することができる。次に、ポート2オープンの結果をみると配線幅3 μ m、80 μ mともにスミスチャートの中心に向かうインピーダンスの軌跡になっており直列抵抗性が大きくQ値の低いキャパシタとしてみえており、この配線構造(TYPE A)でキャパシティブ素子を構成し整合回路を組んでもロスの大きい整合回路にしかない。

【0018】図5は、(TYPE B)の伝送線路の測定結果を示す。ポート2側ショートの結果をみると、(TYPE A)とさほど変わらない特性を示している。しかし、先に述べたようにインダクタンスの絶対値が同じ配線幅、長さで小さいので配線構造(TYPE A)と比べてインダクタンス素子としては不利である。

【0019】次に、ポート2オープンの結果をみると配線幅80 μ mではほとんどスミスチャートの外周をなぞるように軌跡を描いており、Qの高いキャパシタンスとして動作しうことを示している。配線幅80 μ mに対して3 μ mの場合若干内側に軌跡を描いているがこれは配線の直列抵抗によるものである。このようにキャパシティブな素子を構成するには、(TYPE B)の伝送線路を使用することが有利である。以上説明したように、本発明によれば、低抵抗率の半導体基板上にも、2GHz以上の高周波にてQ値の高いインダクティブ素子とキャパシティブ素子とを形成することが可能になり、これらの素子を組み合わせて入出力整合回路を構成すると、低抵抗率の半導体基板上に2GHz以上の周波数帯で動作するRF ICを実現することが可能になる。

【0020】

【実施例】次に、本発明の実施例について図面を参照して詳細に説明する。図6は、本発明の一実施例の主要部を示す断面図である。図6に示すように、640 μ m厚のシリコン基板601表面上にMOSFETを形成した後、0.6 μ m厚のシリコン酸化膜602を層間絶縁膜として形成しその上に膜厚0.7 μ mのA1からなる配線層603を形成した後、さらに膜厚1.5 μ mのシリコン酸化膜604を成膜する。そして、その上に膜厚0.7 μ mのA1からなるグラウンドプレーン605を配線しその上に膜厚1 μ mのシリコン窒化膜606を成膜する。ここまでは、いわゆる通常の2層配線CMOSプロセスと称されるプロセスを使って形成できる。さらに本実施例においてはシリコン窒化膜606の上に膜厚4.7 μ mのポリイミド膜607を成膜しその上に膜厚3 μ mのA1を用い、(TYPE A)の伝送線路となる第1導電パターン608と、(TYPE B)の伝送線路となる第2導電パターン609を形成した。そして、基板裏面に第1導電パターン608のグラウンド層となる裏面グラウンド層610をシリコン基板601とオーミックに接触させて形成した。ここで、ポリイミド膜が4.7 μ mとしたのは20GHz以上の周波数において良い整合回路を形成することを目標としているからである。

【0021】本実施例において、グラウンドプレーンを形成しシリコン窒化膜にて被覆するまでの工程は、前述したように通常用いられているCMOSプロセスと同様の工程であるから、CMOSプロセスで可能な大規模なディジタルICを作り込んだ後、RFICのための整合回路を独立して作製することが可能である。したがって、ディジタルICとRF ICとを同一チップ上に集積化することが容易に行える。

【0022】次に、この実施例の配線構造を用いたオンチップマッチング増幅器について説明する。図7(a)に回路構成図を示し、図7(b)にその等価回路図を示す。図7において、Qは、ゲート長0.18 μ m、ゲート幅200 μ m、相互コンダクタンスが90mSのMOSFETであって、その入力側に、(TYPE B)の伝送線路(B)701と(TYPE A)の伝送線路(A)702が配置され、その出力側に(TYPE A)の伝送線路(A)703と(TYPE B)の伝送線路(B)704が配されている。伝送線路(A)702は、配線幅3 μ m、配線長370 μ mに形成され、伝送線路(A)703は配線幅3 μ m、配線長215 μ mに形成されている。図7(b)の等価回路では、それぞれの伝送線路はそれぞれハイインピーダンスのインダクタL1、L2として示されている。また、伝送線路(B)701は、配線幅80 μ m、配線長456 μ mに形成され、伝送線路(B)704は配線幅80 μ m、配線長500 μ mに形成されている。図7(b)の等価回路では、それぞれの伝送線路はそれぞれローインピーダンスのキャパシタC1、C2として示されている。

【0023】出来上がったICをネットワークアナライザを用いてスキャタリング(S)パラメータを測定した結果を図8に示す。ドレイン電極に2V、ゲート電極に1.2Vを加え、ドレイン電流を25mA流している。利得S21は20GHzで7dBと高い性能を得ている。入出力のミスマッチを表わすS11、S22は20GHzで-10dB以下となっており入出力マッチングが達成されていることが分かる。

【0024】次に、図6に示した実施例の配線構造を用いたオンチップマッチング増幅器の他の例について説明する。図9(a)に回路構成図を示し、図9(b)にその等価回路図を示す。図9に示されるように、ゲート長0.18 μ m、ゲート幅200 μ m、相互コンダクタンスが90mSのMOSFET Q1、Q2がカスコード接続されており、その入力側に、(TYPE B)の伝送線路(B)901と(TYPE A)の伝送線路(A)902が配置され、その出力側に(TYPE A)の伝送線路(A)903と(TYPE B)の伝送線路(B)904が配置されている。この実施例では、トランジスタがカスコード接続されていることにより高い周波数での動作が可能であり、またゲート接地になっているMOSFET Q2のゲートバイアス電圧をコントロールすることによって利得を制御することができる。

【0025】伝送線路(A)902は、配線幅3 μ m、配線長370 μ mに形成され、伝送線路(A)903は配線幅3 μ m、配線長435 μ mに形成されている。図9(b)の等価回路図では、それぞれの伝送線路はそれぞれハイインピーダンスのインダクタL3、L4として示されている。また、伝送線路(B)901は、配線幅80 μ m、配線長387 μ mに形成され、伝送線路(B)904は配線幅80 μ m、配線長436 μ mに形成されている。図9(b)の等価回路では、それぞれの伝送線路はそれぞれローインピーダンスのキャパシタC3、C4として示されている。

【0026】出来上がったICをネットワークアナライザを用いてSパラメータの評価を行い、周波数特性としてプロットしたグラフを図10に示す。同図では、ドレイン電極側に3V、MOSFET Q1のゲート電圧VG1を1Vとし、MOSFET Q2のゲート電圧VG2を1.9Vから1.0Vに変えたときのS21をプロットしている。電流はVG2が1.9Vのとき15.5mAである。グラフに示されるように、23GHzで10dBという高い性能が得られ、かつ10-23GHzと広帯域に渡って平坦な特性をもつアンプが実現できている。また、VG2を絞ることにより利得を0dBまで可変できることが分かる。

【0027】次に、導電パターンをスパイラル状に形成した実施例について説明する。図11にスパイラル状導電パターンの平面図を示す。図に示すように、スパイラル状導電パターン1101は、ポート1、ポート2の2ポートを有する。スパイラル状に形成することで隣接線同士の相互インダクタンスが増えインダクタンス値が増

加する。最外周300 μ m、配線幅10 μ m、配線間隔5 μ mで2.5周巻いたスパイラルインダクタを、図6に示す(TYPE A)と(TYPE B)の構造に製作し、その特性を測定した。その結果を図12に示す。この図はポート2側をショートし、ポート1側から見た反射係数を周波数0.05GHzから40GHzまで変化させたときの軌跡として表わしたスミスチャートである。図に示されるように、この場合においても(TYPE A)構造のパターンの方が外側を回り損失の少ないインダクタを形成し得ることが示されている。

【0028】次に、(TYPE A)構造のスパイラル状導電パターンにより作製した整合回路の実施例について説明する。図13に示すように、カスコード接続されたMOSFET Q1、Q2の入出力にスパイラル状インダクタをオンチップで装荷した。そのSパラメータの評価結果を図14に示す。同図には、MOSFET Q2のドレイン電極側の電圧が3V、MOSFET Q1のゲート電圧VG1が1Vで、Q2のゲート電圧VG2が1.6VのときのS21、S11、S22がプロットされている。消費電流は18.5mAである。スパイラル形状の場合大きなインダクタンスを得ることができるため、8GHz程度のところでのマッチングが取れるようになる。図14に示されるように、6-10GHzのところでS11、S22が最小となっている。最小値はS11で-5dB、S22で-10dBとさほど小さくはないがこれはスパイラル状インダクタの装荷のみだからであり、キャパシティブな素子の追加によりより良い整合状態を達成できる。なお、利得S21は15dB以上を得ている。

【0029】

【発明の効果】以上説明したように、本発明によれば、低抵抗率の半導体基板上にも良質な整合回路を形成することが可能になり、シリコン基板のような低抵抗率基板を用いても2GHz以上の周波数で動作するRF ICを実現することができる。さらに、本発明の半導体集積回路は従来のCMOSプロセスをそのまま利用することが可能であるので、ローコストで安定して製造することができる。そして、本発明に係る整合回路はこのCMOSプロセスの後これと独立して作製が可能なので、従来のプロセスによるデジタル回路と本発明の整合回路によって構成されるRF回路とを同じチップの上に搭載することなども容易に行うことが可能になり、多機能で高性能の半導体集積回路を安価に提供することが可能になる。

【図面の簡単な説明】

【図1】本発明の実施の形態を説明するための、本発明の整合回路に用いる2種類〔(TYPE A)と(TYPE B)〕の伝送線路を備えた半導体集積回路の断面・斜視図。

【図2】2ポートを有する、本発明による(TYPE A)、(TYPE B)の伝送線路を示す模式図。

【図3】整合回路に用いる本発明の伝送線路の単位長さあたりのインダクタンス値を(TYPE A)と(TYPE B)に分けて示した特性図。

11

【図4】本発明の(TYPE A)の伝送線路のポート2側をショート、オープンしたときのポート1側からみた特性図。

【図5】本発明の(TYPE B)の伝送線路のポート2側をショート、オープンしたときのポート1側からみた特性図。

【図6】本発明の一実施例の断面図。

【図7】本発明の実施例である入出力整合型MOSFETアンプの回路図。

【図8】図7に示される実施例の利得、反射特性の周波数依存性を示す特性図。

【図9】本発明の実施例であるカスコード型MOSFETアンプの回路図。

【図10】図9に示される実施例の利得の周波数依存性を示す特性図。

【図11】本発明の実施例を説明するための、スパイラル状導電パターンの平面図。

【図12】本発明の実施例を説明するための、2種類〔(TYPE A)と(TYPE B)〕のスパイラル状導電パターンの反射係数を示す特性図。

【図13】本発明の実施例である、スパイラルインダクタを入出力部の整合回路とするカスコード型MOSFETアンプの回路図。

【図14】図13に示される実施例の利得、反射特性の周波数依存性を示す特性図。

【図15】抵抗負荷型MOSFET増幅器と入出力整合型MOSFET増幅器の回路図。

*

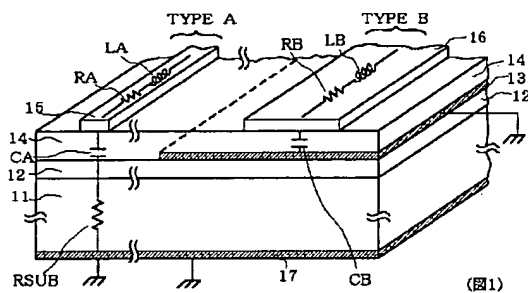
12

*【図16】MOSFETのMSG/MAGと、抵抗負荷型増幅器の利得および入出力整合型増幅器の利得の周波数特性を示す特性図。

【符号の説明】

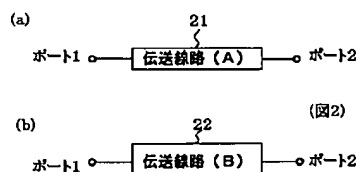
- 11 半導体基板
- 12 第1の層間絶縁膜
- 13 第2の固定電位導電層
- 14 第2の層間絶縁膜
- 15 第1の導電パターン
- 16 第2の導電パターン
- 17 第1の固定電位導電層
- 21 伝送線路(A)
- 22 伝送線路(B)
- 601 シリコン基板
- 602、604 シリコン酸化膜
- 603 配線層
- 605 グラウンドプレーン
- 606 シリコン窒化膜
- 607 ポリイミド膜
- 608 第1導電パターン
- 609 第2導電パターン
- 610 裏面グラウンド層
- 702、703、902、903 伝送線路(A)
- 701、704、901、904 伝送線路(B)
- 1101、1301、1302 スパイラル状導電パターン

【図1】

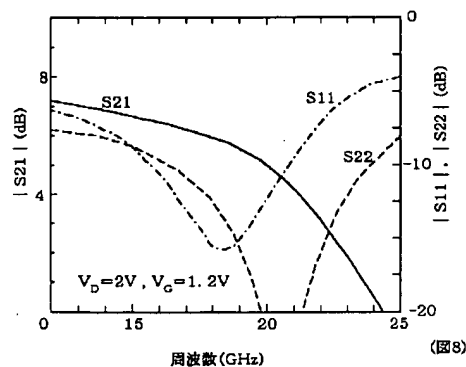


- 11 半導体基板
- 12 第1の層間絶縁膜
- 13 第2の固定電位導電層
- 14 第2の層間絶縁膜
- 15 第1の導電パターン
- 16 第2の導電パターン
- 17 第1の固定電位導電層

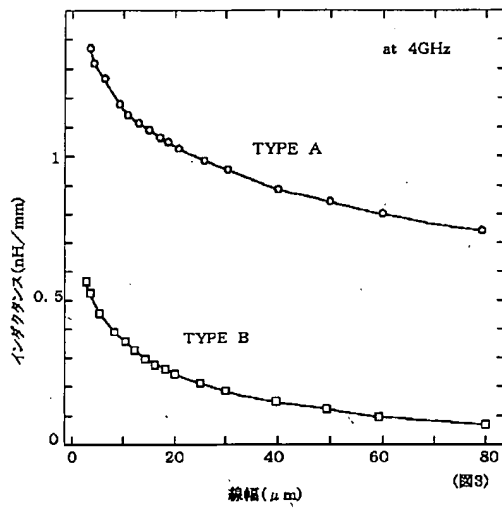
【図2】



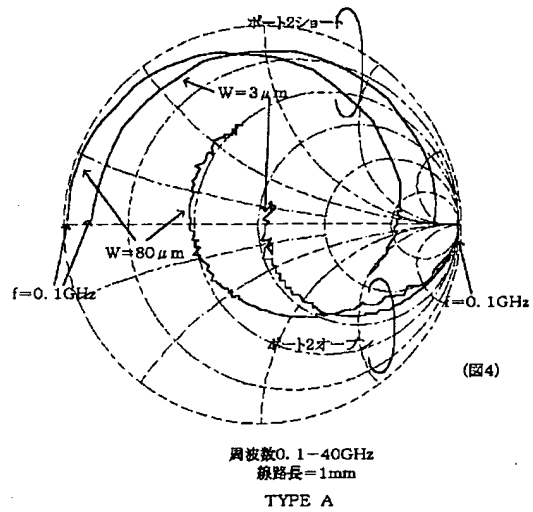
【図8】



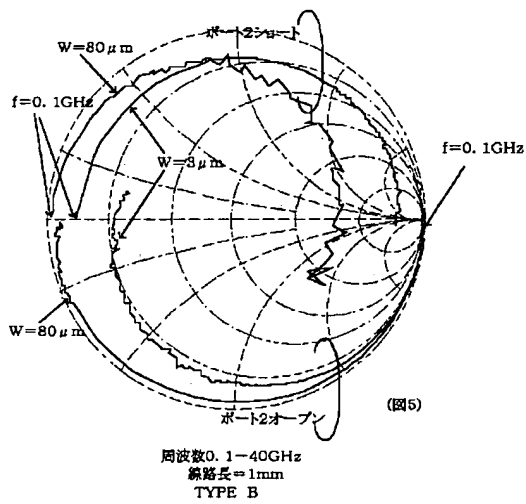
【図3】



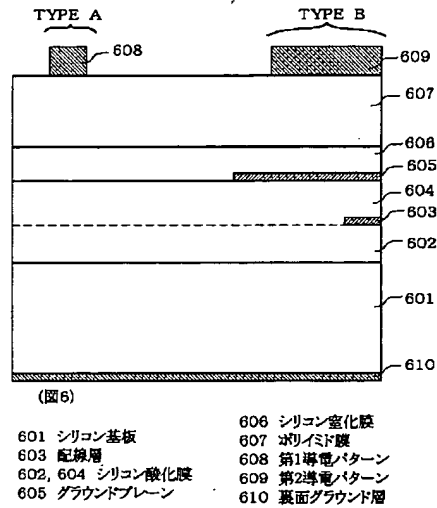
【図4】



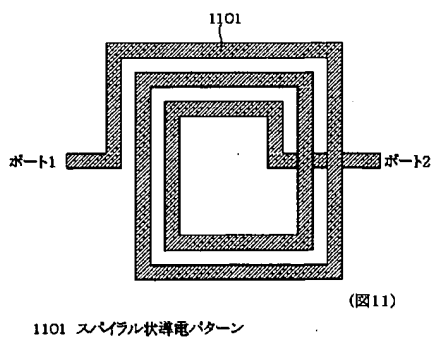
【図5】



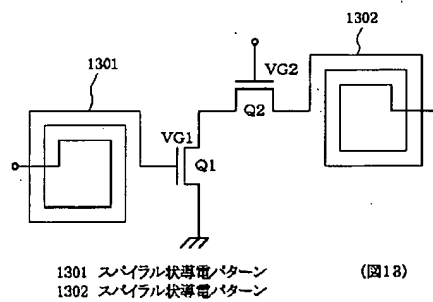
【図6】



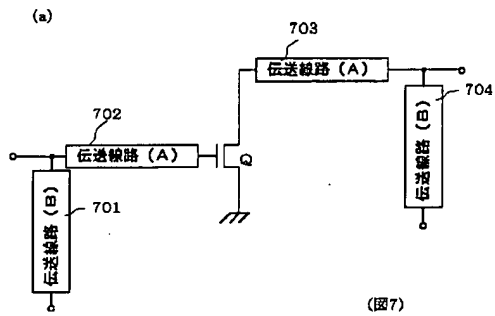
【図11】



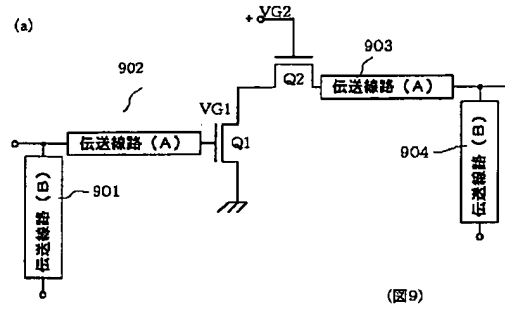
【図13】



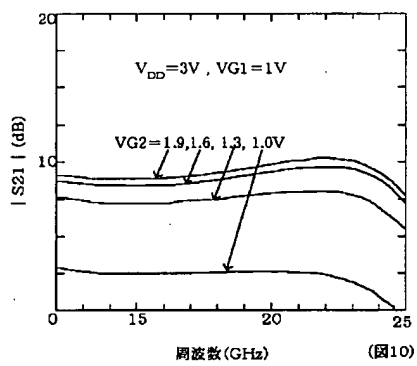
【図7】



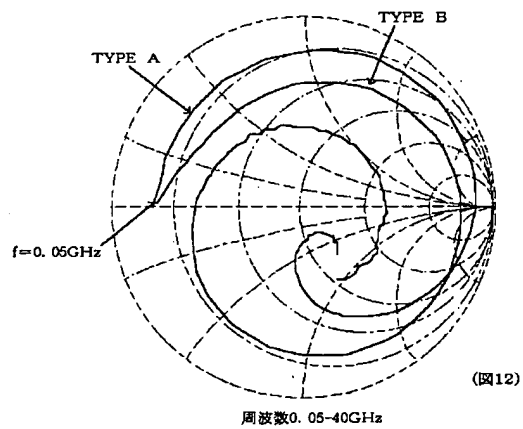
【図9】



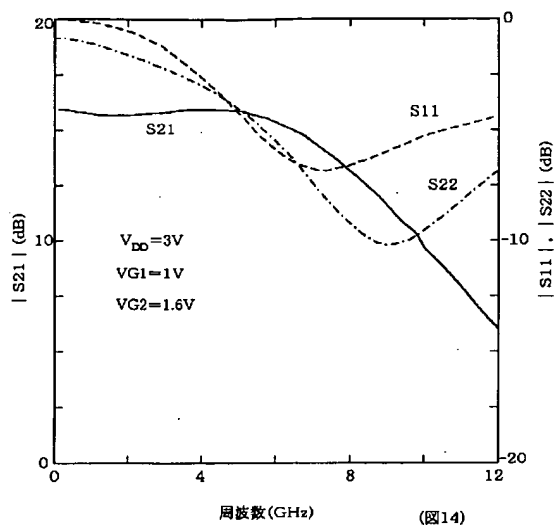
【図10】



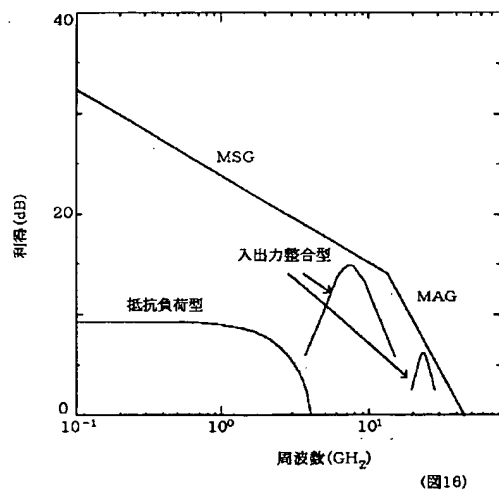
【図12】



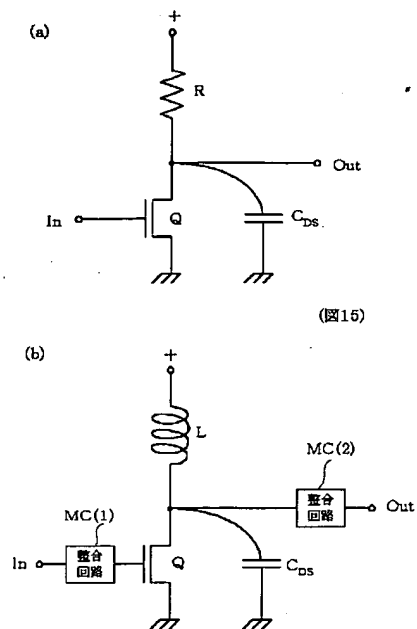
【図14】



【図16】



【図15】



フロントページの続き

F ターム(参考) 5F033 HH04 HH08 HH09 HH11 HH13
HH26 HH27 HH28 MM05 RR04
RR06 RR08 RR14 RR15 RR21
RR22 TT04 VV05 VV08 VV10
WW00
5F038 AC03 AC05 AC15 AC16 AZ04
BH10 CD03 CD04 CD18 DF01
DF02 DF05 DF12 EZ01 EZ02
EZ20
5F048 AA00 AB01 AB03 AB10 AC01
AC05 AC07 AC10 BA01 BA14
BA15 BF02 BF06 BG01 BG03